



2024年2月6日

報道機関 各位

国立大学法人東北大学

正しい並列処理をこなす確率的アルゴリズムを開発 ～省エネ・高速な次世代コンピュータへの一歩～

【発表のポイント】

- 次世代コンピュータの「確率ビット^(注1)」がたくさん同時に動くと、計算ミスが大きくなる原因を見つけました。
- 確率論的コンピュータ^(注1)の速度と正確さを同時に改善する新しい方法を開発しました。
- 次世代の低消費電力デバイスとして知られる確率ビットによる確率論的コンピュータの発展と、機械学習・人工知能への応用が期待されます。

【概要】

確率ビット(pビット)によるコンピュータは、現在のトランジスタを用いた決定論的計算^(注2)を行うコンピュータと比較して大幅な省エネルギー化が期待されている一方で、計算アルゴリズムを並列処理させると、正答率が大幅に低下する問題がありました。これまで、この問題の原因が特定出来なかったため、pビットによる確率論的コンピュータの応用先は限定的でした。

東北大学電気通信研究所の鬼沢直哉准教授と羽生貴弘教授らの研究グループは、シミュレーションによりpビット同士の相互干渉が問題であることを特定しました。さらに、pビットを部分的に働かせなくすることで、相互干渉を効率的に防ぐアルゴリズムを開発しました。その結果、確率論的コンピュータの正答率を大幅に向上させるだけでなく、並列処理による高速化も達成しました。

今後、次世代の省エネルギーデバイスとして期待されるpビットに基づく確率論的コンピュータにおいて、機械学習やデータサイエンスの分野で新たな展開をもたらすものと期待されます。本研究結果は2024年1月16日付で科学誌 Scientific Reports でオンライン公開されました。

【詳細な説明】

研究の背景

近年の AI 技術の飛躍的發展に伴い、音声認識や医療診断など社会生活のあらゆる面で利便性が高まっています。一方で、AI による計算量は非常に大きいため、コンピュータによる消費電力の増大が問題になりつつあり、持続可能な社会に向けた大きな課題です。例えば、ChatGPT など知られる生成 AI の学習による電力消費は、1000 世帯程度の小規模な町の 1 ヶ月分に匹敵（GPT-3 の場合）するなど、環境への影響は無視できない課題です。

このような課題に対して、近年提案された確率ビット(p ビット)^(注 1)による確率論的コンピュータ^(注 1)は、現在のトランジスタによる決定論的計算とは異なり確率的計算^(注 2)に基づく計算を行います。具体的には、図 1 に示すように解きたい問題をエネルギー関数にマッピングをし、p ビットによる確率的動作をさせることでエネルギーを最小化し、問題の正解（最適解）を計算することができます。次世代の省エネルギーデバイスとして知られる p ビットを並列動作させることにより、現在のコンピュータと比較して大幅な省エネルギー化と高速化が期待されています。

これまで、計算量が非常に大きいことで知られる組合せ最適化問題^(注 3)において、確率論的コンピュータによるシミュレーテッドアニーリング(SA)^(注 4)の計算の原理実験に成功してきました。一方で、問題の大規模化・複雑化に伴い、計算の正答率が大幅に低下してしまう問題に直面していました。問題の原因が判明しなかったため、確率論的コンピュータの有効な応用先は、小規模で簡単な問題に限定されてしまう課題を抱えていました。

今回の取り組み

今回、研究グループは従来の p ビットによる SA (pSA)の計算アルゴリズムの問題点を特定し、さらに問題を解決可能な新たな確率的アルゴリズムを開発しました。図 2 に示すように従来アルゴリズムでは、各 p ビットにおける「局所エネルギーの計算」と[p ビットの計算]の 2 つから構成されます。組合せ最適化問題の一種である最大カット問題^(注 5)をシミュレーション実験しました。800 ノードの最大カット問題において、全ての p ビットの出力が発振していることが確認されました（図 3(a)）。その結果、エネルギーが最小値に向かって低下するどころか逆に上昇してしまうため、計算エラーが発生していました。

この問題を解決するために、p ビットの発振を効果的に防ぐコンセプトに基づいて 2 つのアルゴリズムを開発しました（図 2）。具体的には、pSA における「局所エネルギー計算」の部分を変更することで、p ビットの動作を部分的に不活性化させました。TApSA(Time-Average pSA)では、各々の p ビットの状態を表現する局所エネルギーの計算を時間平均化しており、SpSA(Stalled pSA)では、確率的に p ビットの入力を不活性化させています。どちらのアルゴリズムに

においても、p ビットの発振を効果的に抑えることに成功し、エネルギーの最小化・問題の最適解を得ることがシミュレーション実験により確認されました (図 3(b))。

p ビットによる確率論的コンピュータは、確率的計算を行うことから、計算を試行するたびに計算結果が異なります。そこで 100 回の試行を行うシミュレーション実験を行い、その計算結果の精度を確認しました。図 4 に示すように、従来アルゴリズム(pSA)では 100 回の試行回数全てで大きな計算エラーが発生したのに対して、提案アルゴリズム(TApSA、SpSA)では計算エラーが 99.2%から 1.6%まで低減し、安定的に最適解に近い解が得られることが確認されました。

今後の展開

本研究により、次世代デバイスとして知られる p ビットによる省エネルギーかつ高速な確率論的コンピュータにおいて、並列処理に伴う計算エラーの課題を解決可能なアルゴリズムの開発に成功しました。今回、その応用例として組合せ最適化問題を解く SA において、その有効性を確認しました。

組合せ最適化問題の解法は、計算機科学および産業界において重要な意義を持ちます。例えば、ネットワーク分析や通信システムの最適化、さらには機械学習アルゴリズムの強化など、幅広い応用が期待されます。この進展は、計算資源の節約と処理速度の向上に寄与し、複雑な最適化問題の解決への新たな道を拓くものです。

今後もこれらのアルゴリズムのさらなる改良と応用範囲の拡大を目指しています。この技術がもたらす社会的・学術的影響は大きく、多くの分野での革新的な進展が期待されます。

p ビットの並列動作に基づく確率的コンピュータ

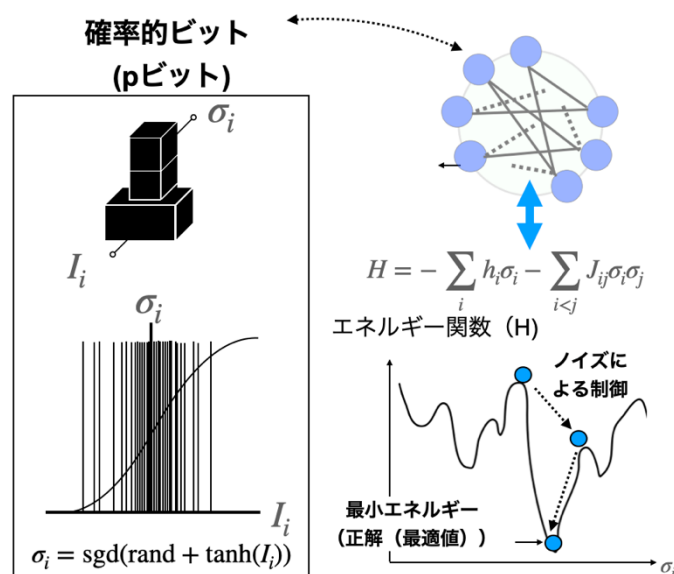


図 1. 確率ビット(p ビット)を並列動作させる確率論的コンピュータとの概要図。この確率論的コンピュータでは、まず問題をエネルギー関数にマッピングをし、p ビットによる確率的動作をさせることでエネルギーを最小化することで、正解が得られる。

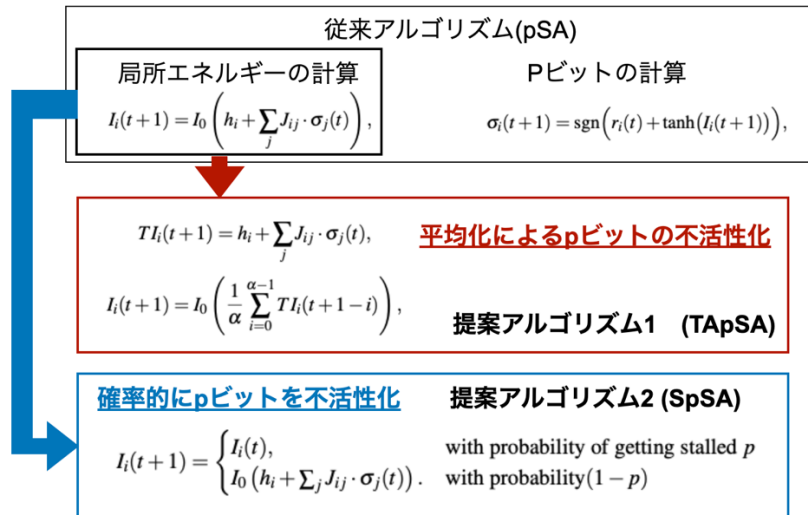


図 2. 従来アルゴリズム(pSA)では、各 p ビットで局所エネルギーを計算をし、それを p ビットへの入力とすることで、p ビットの変化するアルゴリズム。pSA の収束性の問題を解決するため、2つの提案アルゴリズム(TApSA、SpSA)は、局所エネルギー計算の部分に変更を加えている。

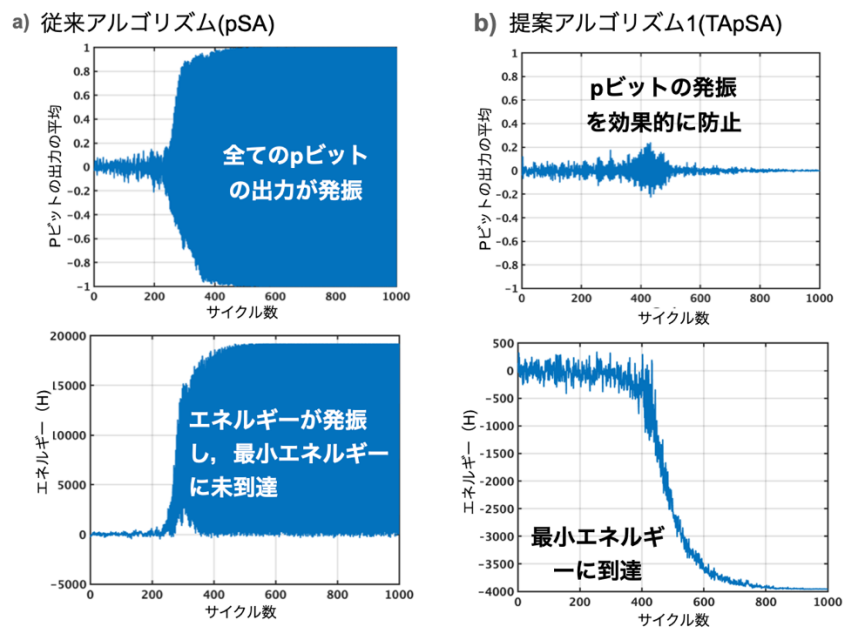


図 3. 組合せ最適化問題の一種である最大カット問題において、従来アルゴリズム

ムは全ての p ビットの出力が発振してしまい、エネルギーが最適値に到達しないことを確認した(a)。一方、提案アルゴリズムでは、p ビットの出力の発振が効果的に抑えられ、エネルギーが最小値に到達した（最適解が得られた）(b)。

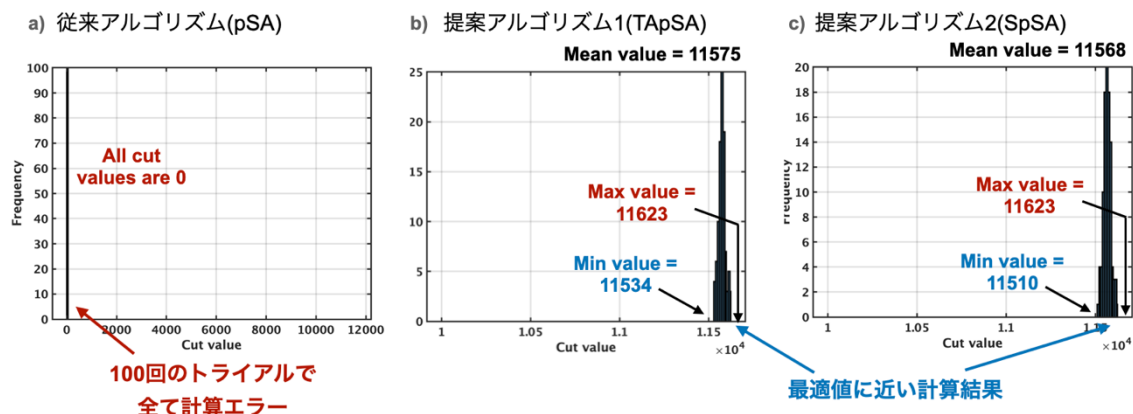


図 4. 最大カット問題において、100 回のトライアルにおいて従来アルゴリズムは、全く正解が得られなかった(a)。一方、提案アルゴリズムは 100 回の試行で安定的に最適解に近い近似解が得られた (b, c)。

【謝辞】

本研究の一部は、科学技術振興機構戦略的創造研究推進事業 CREST JPMJCR19K3、日本学術振興会科学研究費助成事業基盤研究(B) JP21H03404 などの支援を受けて行われたものです。

【用語説明】

- 注1. 確率ビット(p ビット)、確率論的コンピュータ
確率ビットは出力信号が 0 と 1 の間で確率的に変化するもので、確率的コンピュータの基本情報単位。
- 注2. 決定論的計算と確率的計算
現在のコンピュータは、入力情報から出力情報が一意に決まる決定論的計算に基づく。一方で、確率論的計算では出力を一意に決定せず、主に統計的な手法に基づく出力を決定する計算技術。
- 注3. 組合せ最適化問題
ある課題に対して膨大なデータの組合せから最適解を求める問題。具体的な応用は IT インフラ整備・施設配置問題・ポートフォリオ最適化など。
- 注4. シミュレーテッドアニーリング(Simulated Annealing: SA)
一般的なパソコン（古典コンピュータ）で動作可能で、組合せ最適化問題を解くことができる計算技術の一つ。
- 注5. 最大カット問題

重み付きグラフのノードを二つのグループに分別する際、グラフをカットしたエッジ（ノード間の枝）の重みの総和を最大化する問題。

【論文情報】

タイトル : Enhanced convergence of p-bit based simulated annealing with partial deactivation for large-scale combinatorial optimization problems

（大規模組合せ最適化問題向き部分非活性化 p ビットに基づくシミュレーテッドアニーリングの収束性の向上）

著者 : Naoya Onizawa and Takahiro Hanyu

*責任著者 : 東北大学電気通信研究所 准教授 鬼沢直哉

掲載誌 : Scientific Reports

DOI : 10.1038/s41598-024-51639-x

URL: <https://www.nature.com/articles/s41598-024-51639-x>

【問い合わせ先】

（研究に関すること）

東北大学電気通信研究所

准教授 鬼沢直哉

TEL:022-217-5546

Email: naoya.onizawa.a7@tohoku.ac.jp

（報道に関すること）

東北大学電気通信研究所

総務係

TEL: 022-217-5420

Email: riec-somu@grp.tohoku.ac.jp